

张镇晖

电话: XXX-XXXX-XXXX | 邮箱: zhenhuizhang@stu.xidian.edu.cn

个人网站: zhenhuizhang.tk

性别: 男 | 籍贯: 福建福州 | 民族: 汉族 | 政治面貌: 共青团员

教育经历

西安电子科技大学	2019.09 - 2022.07
航天工程 硕士 空间科学与技术学院	西安
平均成绩: 4.00/4.00	
中国民航大学	2015.09 - 2019.08
通信工程 本科 电子信息与自动化学院	天津
GPA: 3.46/4.0	

技能/证书及其他

外语: CET-4 PETS-3; 计算机: C 语言二级 网络技术三级 四级; 普通话: 二级乙等; 制图员: 四级

专业技能

- 熟练使用 Vivado 软件与 Verilog 硬件描述语言进行 FPGA 器件的开发工作, 掌握 Xilinx 公司相关 FPGA、ZYNQ 器件的开发流程及各类 IP 的使用, 具备较为丰富的 FPGA 器件设计开发经历;
- 熟练掌握多类器件的原理图设计, 能够独立进行 Multisim、LTspice 电路仿真与 Altium Designer、Cadence 电路板的设计与绘制, 具备较为丰富的电路设计开发经历;
- 熟悉 Linux 操作系统的基础操作与 Petalinux 系统的开发设计流程, 掌握 51 系列、Ardrino、STM32 系列单片机的嵌入式开发;
- 熟练使用 SW、UG 等三维建模软件, 制图员四级, 能够进行简单的结构设计与装配工作;
- 了解 Visual Studio 软件的使用与 C 语言的嵌入式开发。

荣誉奖项

第七届中国研究生未来飞行器大赛全国二等奖/最佳实物奖	2021.11
人民一等/二等奖学金	2016.09/2017.09/2019.09
全国大学生工程训练综合能力竞赛全国一等奖	2017.05
全国大学生电子设计竞赛天津市一等奖/三等奖	2017.12/2016.12
"北斗杯"青少年科技大赛全国二等奖/优秀奖	2017.05/2016.05
霍尼韦尔“星”计划最佳创意奖/最佳动手能力奖	2017.07/2016.07
NXP 全国大学生智能车大赛华北赛区二等奖	2017.08
天津市大学生工程训练综合能力竞赛天津市二等奖	2017.03
天津市机器人大赛天津市一等奖	2016.10
华北五省机器人大赛二等奖/三等奖	2017.11/2016.11

专利论文

实用新型专利: 《单反三轴正摄云台》; 《多功能越障爬壁运载机器人》

工作论文: 《山东工业技术》—《基于 FSUIPC 的飞行模拟机外设间通信的研究》

项目经历

科学电控主控设备

2019.12 - 2021.07

--中国科学院上海光学精密机械研究所 上海

硬件设计负责人

- **项目介绍:** 该控制器将用于中国空间站实验舱II"梦天"中的超冷原子物理科学实验柜, 是实验系统中的主要控制模块。主要实现对激光子系统和物理控制单元控制指令的发送, 以及对实验数据和图像的采集与处理等功能。多个板卡以 VPX 结构互联, 使用了多块 Xilinx 公司的 ZYNQ Ultrascale 系列 FPGA 作为处理控制设备, 通过网络传送激光子系统和物理控制单元所需的配置指令和控制指令, 并通过 USB-CCD 相机采集实验图像, 转换为 HDMI 信号输出到显示屏。还通过高速 ADC、DAC、DDS 器件的协调配合, 通过 AOM 器件监控激光光强与频率, 再通过调控 DAC 与 DDS 器件的输出, 实现对激光器的光强与频率的调整稳定。

- **主要工作:** 作为项目硬件负责人, 完成所有板卡的原理图绘制工作及部分 PCB 的布局布线, 包括 FPGA 供电电路, 网口 PHY 电路, USB 电路; 完成了 ZYNQ 器件的硬件逻辑开发工作, 使用 Verilog 语言并基于 AXI 总线编写自定义 IP, 加以 AXI-DMA 互联 IP, 实现了多路 USB、网口, hdmi 显示, adc、dac、ttl、uart、spi 多种高低速接口的高精度并行工作。并且, 还根据航天项目的特殊要求, 对电路设计、代码编写进行了工程化处理与验证工作。

超高速数据采集与持续存储系统的研究与实现

2019.06 - 2020.05

--中国空间技术研究院西安分院(504 所) 西安

FPGA 硬件开发

- **项目介绍:** 该系统以 2 块 Xilinx 公司 Virtex7 系列 FPGA 为平台, 利用 2 块采样率可达 5Gsp/s、数据位宽 8bit 的高速 ADC 进行模拟信号采样, 实时将 80Gbps 的采样数据通过 PCIe 传输到计算机内存供后端处理。

- **主要工作:** 作为项目组成员, 完成了硬件逻辑开发。使用 2 套 VC709 开发板和 4 块 DSP 公司 5Gsp/s ADC 的 FMC 子板进行开发和调试。对单套 FPGA 开发板: 使用 IDELAYE 和 ISERDERS 进行高速数据的同步, 设计时钟边沿对齐算法消除亚稳态; 针对数据不齐设计多通道数据自动对齐算法; 采用数据拼接的思想对 FPGA 接收到的高速 LVDS 数据进行重组; 消除实际中各个 ADC 的偏置误差、增益误差和时钟相位误差等保证等间隔采样; 使用 MIG IP 核实现高速率 DDR3 芯片的控制设计, 满足大容量数据的高速率存储和读取要求; 消除跨时钟域高速并行数据传输的异步问题; 同组内成员配合, 利用 Xilinx 的 DMA for PCIe IP 核进行 PCIe Gen3 高速数据传输开发, 实现单板 40Gbps 稳定数据传输及数据落盘。利用并行交替采样原理输入给两板不同相位的时钟, 在计算机中对两个板卡采集后的数据进行同步, 实现整个系统 80Gbps 数据采集。

基于 VITIS AI 的边缘计算

2020.03 - 2020.09

--西安电子科技大学 西安

项目预研(负责人)

- **主要工作:** 使用 VITIS AI 工具链, 将在 TensorFlow 预训练好的神经网络通过剪枝量化器(DECENT)降低其复杂度, 并将 Float32 浮点权值转换位 INT8 定点; 再使用神经网络编译器(DNNC), 将网络算法编译到 DPU 平台高效运行, 从而获得可在 ZYNQ 平台高效运行的神经网络结构, 可在边缘端实现更低的功耗与延迟。本项目将 YOLO3-Tiny 网络部署至 ZCU104 平台, 实现在 480*320 分辨率下 40 帧/秒以上的人脸检测, 并使用 OpenCV 进行图像标注显示, 平台总功耗低于 15W。

个人总结

- 基础扎实、求知欲强, 富于团队合作精神和创新精神, 做事踏实认真, 有强烈的责任心;
- FPGA 嵌入式项目经验较丰富, 具有较强的钻研能力, 能够独立解决问题;
- 具备技术类文档的撰写能力, 具有良好的沟通协作能力、较强的文字综合和表达能力;